

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **02-105560**

(43)Date of publication of application : **18.04.1990**

(51)Int.Cl. **H01L 23/50**

**H01L 23/12**

(21)Application number : **63-258482**

(71)Applicant : **NEC CORP**

(22)Date of filing : **14.10.1988**

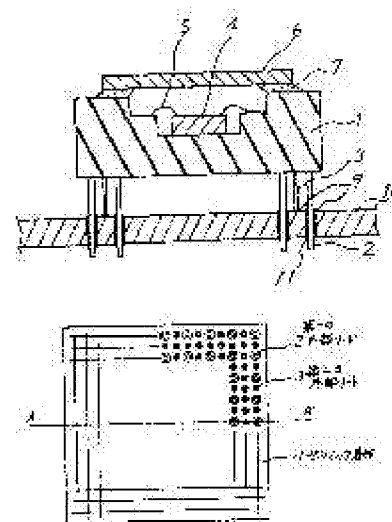
(72)Inventor : **TERAJIMA KATSUSHI**

## (54) SEMICONDUCTOR DEVICE

(57)Abstract:

**PURPOSE:** To improve the installation accuracy of outer leads when a printed board is mounted and perform a soldering packaging easily by providing two kinds of cylindrical outer leads in which either one of each length and diameter of them is different and mixing them after being arrayed in a lattice with a regularity so that they are protruding from the basic bottom.

**CONSTITUTION:** In addition to connecting to a ceramic substrate 1 through bonding wires 5 equipped with a semiconductor element 4, a cap 6 is bonded on the ceramic substrate by the use of a sealing agent 7. The first thick, long outer leads 2 and the second thin, short outer leads 3 are arrayed in a lattice every other lead on the bottom of the foregoing substrate 1 and they are sealed with a soldering part 8. In other words, the first outer leads 2 are arrayed at a 100-mil pitch and the second outer leads 3 are arrayed at a 50-mil pitch among the first leads. While improving packaging density performed into a printed board 10 and the like, this disposition improves the installation accuracy of the printed board 10 as well as the outer leads 2 and 3 when they are packaged and makes it possible to perform soldering packaging.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

⑬ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-105560

⑤Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬公開 平成2年(1990)4月18日

H 01 L 23/50  
23/12

P 7735-5F

7738-5F H 01 L 23/12 P

審査請求 未請求 請求項の数 1 (全5頁)

⑭発明の名称 半導体装置

⑯特 願 昭63-258482

⑰出 願 昭63(1988)10月14日

⑱発 明 者 寺 島 克 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置

特許請求の範囲

半導体素子をセラミック基体に搭載しその接続のための外部リードをピン・グリッド・アレイ形に配列される半導体装置において、長さおよび径の少なくとも一方が異なる円柱状の第一および第二の外部リードを前記セラミック基体の底部から突出するように規則性をもって格子状に混在配列したことを特徴とする半導体装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特に外部リードがピン・グリッド・アレイ形に配置される半導体装置に関する。

〔従来の技術〕

従来、この種の外部リードがピン・グリッド・アレイ形（以下、PGAタイプと称す）をした半導体装置は、セラミック積層パッケージ基体に円柱形の外部リードが基体底部から突出するように格子状に植立して取り付けられている。この半導体装置は、セラミック基体中央の窪んだキャビティ部に半導体素子を搭載し、その半導体素子はキャビティ部周辺に設置されているメタライズド内部リードパターン部に配線導通されるとともに、セラミック基体内部の内部メタライズドパターンおよびメタライズドスルーホールを通してセラミック基体底部にろう付けされた金属製円柱の外部リードと電気的導通されている。

第5図(a)、(b)はそれぞれ従来の一例を説明するための半導体装置の裏面図およびそのD-D'線断面図である。

第5図(a)、(b)に示すように、この従来例は半導体素子4をキャビティに收容しボンディングワイヤ5をメタライズド内部リードパターン（図示省略）に接続したセラミック基体1の上面

に封止剤7でキャップ6を固着する一方、底面からは100ミルピッチの同形状の外部リード2が突出するようにアレー状に配置されている。

かかる半導体装置は、プリント基板等を実装される際、外部リードを予めプリント板に用意されているスルーホールに差し込んでんだ付け実装することになる。従って、プリント板の厚さ分およびセラミック基体とプリント板との一定の距離が必要なことから、外部リードピンはある所定以上の長さおよび径が要求される。一般的には、3.5～6mm程度の長さであり、また径は0.35～0.5mm程度必要である。一方、プリント板には半導体装置の外部リードに対応したスルーホールから導出された配線パターンを有しており、PGAタイプの装置の様に外部リードが格子状に配列されている場合は先のスルーホール間に何本ものプリント配線パターンを設けなくてはならない。

かかるPGAタイプの半導体装置は主にゲートアレイ等の半導体素子を搭載することから、年々歳々多くのゲート数を有するものが開発され、信

号および電源ピンもそれに応じて増加してくる。このようなピン数の増加は半導体装置の大きさの増大を招き、実装密度の向上を抑制している。

最近では外部リードピッチが半分の50ミルピッチが出現している。これはもはや従来の様なプリント板に差し込む方式では対応できず、最近の主流となっている表面実装で使用される。すなわち、外部リードの径は100ミルピッチの外部リード径0.35～0.5mmに対し0.15～0.3mm程度、また長さは3.5～6mmに対し1～3mm程度になっている。

第6図(a)、(b)はそれぞれかかる従来の他の例を説明するための半導体装置の裏面図およびそのE-E'線断面図である。

第6図(a)、(b)に示すように、セラミック基体1の底部から突出する外部リード3は細いリードで且つ長さが等しくそろっており、これにより実装密度を向上させている。尚、第5図(b)と同一の番号を付与した部材は同様の機能をはたすため、その説明を省略する。

#### 〔発明が解決しようとする課題〕

上述した半導体装置は外部リードが細く多くなって来ているため、半導体装置の製造工程(組立～仕上げ～選別)においてリード曲がりを起こし易いという欠点がある。また、プリント板配線もプリント板の表面だけでは足りず、スルーホールを用いた多層配線にしなくてはならないという欠点がある。更に、プリント板への表面実装時における取り付けが難しく、固定が不備であるときには半田不足による浮きずれによってショートを引き起こし易いという欠点がある。

本発明の目的は、かかるリード曲りの発生を防止し、最小限のスルーホールによる配線を行うだけで且つ取り付けが容易であり、外部リードの浮きずれによってショートを起しやすい点を解消する半導体装置を提供することにある。

#### 〔課題を解決するための手段〕

本発明の半導体装置は、半導体素子をセラミック基体に搭載しその接続のための外部リードをピン・グリッド・アレイ形に配列される半導体装置

において、長さおよび径の少なくとも一方が異なる円柱状の第一および第二の外部リードを前記セラミック基体の底部から突出するように規則性をもって格子状に混在配列して構成される。

#### 〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図(a)、(b)はそれぞれ本発明の第一の実施例を説明するための半導体装置の裏面図およびそのA-A'線断面図である。

第1図(a)、(b)に示すように、本実施例は半導体素子4を搭載しボンディングワイヤ5で接続するとともに上面に封止剤7を用いてキャップ6を固着したセラミック基体1の底部に、格子状に太くて長い第一の外部リード2と細くて短い外部リード3とを一つおきに配列し、ろう付け部8で封止している。すなわち、太さの大きく長い外部リード2は100ミルピッチで配列され、その間に50ミルピッチで太さの小さく短い外部リード3を配置している。この状態は、第1図

(b) に示すように、第1図(a)図のA-A'線断面からも理解できる。

第2図は第1図(a)に示す半導体装置をプリント基板に実装した状態の縦断面図である。

第2図に示すように、太く長い外部リード2はリード長が3.5 mm、太さは0.4 mmであり、また細く短い外部リード3はリード長が1.5 mm、太さは0.2 mmである。この太く長い外部リード2はプリント基板10のスルーホール11を通してはんだ付けされ、また細く短い外部リード3はプリント基板10の電極パッド上にそれぞれはんだ実装される。

すなわち、本実施例はセラミック基体1の底部に格子状に配列される外部リード2および3の長さおよび太さを2種類以上に設けることにより、プリント基板10等への実装密度を向上させながら実装時のプリント基板10と外部リード2および3取り付け制度を高め、また簡易にはんだ実装することが可能となる。これは太く長い外部リード2をプリント基板10のスルーホール11に差

し込むことにより、位置決めおよび固着を優先的に行うことができ、しかも細く短い外部リード3は位置決めされた対応するプリント基板10の電極パッド(図示省略)に表面実装されるためである。従って、細く短い外部リード3を溶融したはんだで取り付けする方法においても、あるいはリフローする場合においても位置ずれを起こすことなく、精度よく取り付けを行うことが可能になる。

また、太く長い外部リード2は細く短い外部リード3に対する外部からの衝撃から保護する働きを有する。

また、プリント基板10の裏面に貫通した太く長い外部リード2はプリント基板10の裏面の配線パターンを有効に活用することができ、従来の50ミルピッチのPGAの表面実装のみに比べ、プリント板の多層配線の程度を少なくすることができ、プリント基板10のコストダウンに効果をもたらす。

更には、実装後の固着強度を2倍以上に向上さ

せることができ、耐久性も改善させることができる。

第3図(a)、(b)はそれぞれ本発明の第二の実施例を説明するための半導体装置の裏面図およびそのB-B'線断面図である。

第3図(a)、(b)に示すように、本実施例はセラミック基体1の底部に細く短い外部リード3を50ミルピッチで配列し、その外周部に太く長い外部リード2を100ミルピッチで配列した例である。すなわち、本実施例では外周部に太く長い外部リード2を配置したことにより、細く短い外部リード3を外部的衝撃から保護する働きが強く、しかも50ミルピッチに並べられた細く短い外部リード3をセラミック基体1の裏面に数多く配置することができる。従って、本実施例は高密度多ピン封止を計ることができる。

尚、基体1の内部に設ける半導体素子4、ボンディングワイヤ5、封止剤7によって封止されるキャップ6および基体1の底部に形成されるろう付け部8については前述した第一の実施例と同様

である。

第4図(a)、(b)はそれぞれ本発明の第三の実施例を説明するための半導体装置の裏面図およびそのC-C'線断面図である。

第4図(a)、(b)に示すように、本実施例は太い外部リード2をセラミック基体1の底部の四隅に配列したときの例である。この場合、太い外部リード2は細い外部リード3と同じ長さを有しており、これはあくまでも表面実装を前提としたときに有効である。この四隅に設けた太い外部リード2は細い内部の外部リード3を外部的衝撃から保護する働きを備えている。尚、この太い外部リード2は電氣的な端子として機能しなくても良い。

〔発明の効果〕

以上説明したように、本発明の半導体装置は長さおよび径の少なくとも一方が異なる円柱状の二種類の外部リードを設け且つこれらを基本底部から突出するように規則性(一つおき、周囲、四隅等)をもって格子状に混在配列させることによ

り、プリント板実装時の外部リード取り付け精度を向上させ且つ簡単にはんだ実装することができるという効果がある。また、本発明は太い外部リードを設けるので、外部からの衝撃に対し細い外部リードを保護するという効果がある。更には、本発明はプリント基板の裏面に貫通する太く長い外部リードがプリント基板裏面の配線パターンを有効に活用するので、プリント板の多層配線の程度を少くし且つ安価に製造できるという効果、および実装後の固着強度も二倍以上に向上させ、また耐久性も改善できるという効果がある。

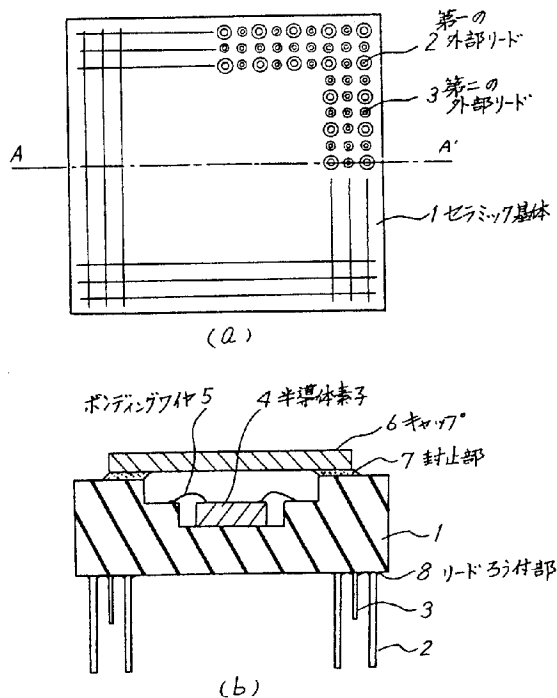
#### 図面の簡単な説明

第1図(a)、(b)はそれぞれ本発明の第一の実施例を説明するための半導体装置の裏面図およびそのA-A'線断面図、第2図は第1図(a)に示す半導体装置をプリント板に実装した状態の断面図、第3図(a)、(b)はそれぞれ本発明の第二の実施例を説明するための半導体装置の裏面図およびそのB-B'線断面図、第4図

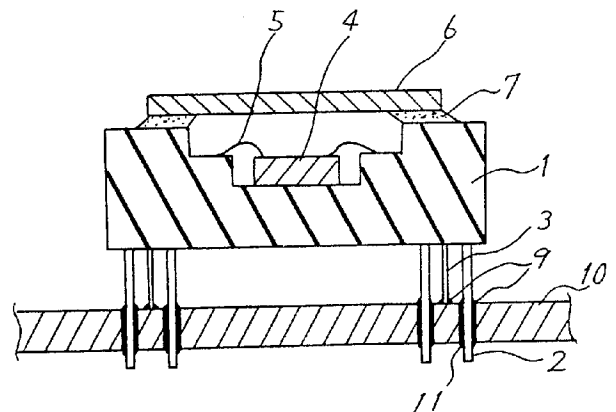
(a)、(b)はそれぞれ本発明の第三の実施例を説明するための半導体装置の裏面図およびそのC-C'線断面図、第5図(a)、(b)はそれぞれ従来の一例を説明するための半導体装置の裏面図およびそのD-D'線断面図、第6図(a)、(b)はそれぞれ従来他の例を説明するための半導体装置の裏面図およびそのE-E'線断面図である。

1…セラミック基体、2…太い外部リード、3…細い外部リード、4…半導体素子、5…ボンディングワイヤ、6…キャップ、7…封止剤、8…リードろう付部。

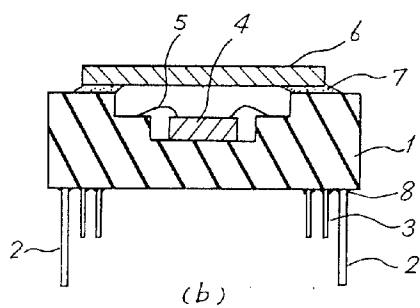
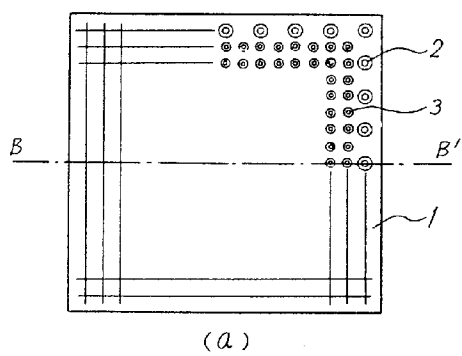
代理人 弁理士 内 原 晋



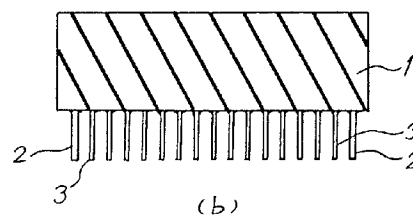
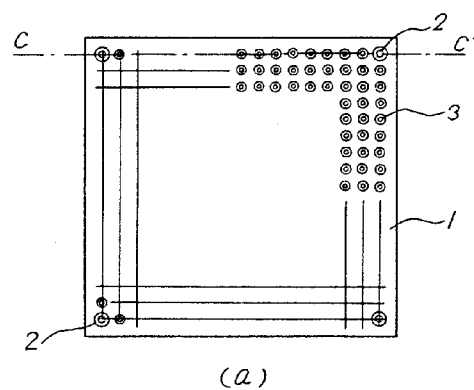
第 1 図



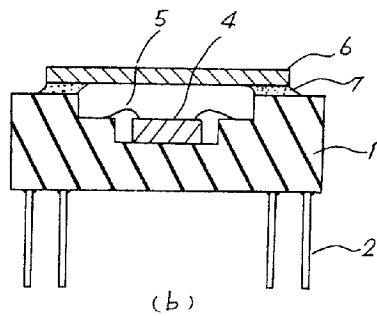
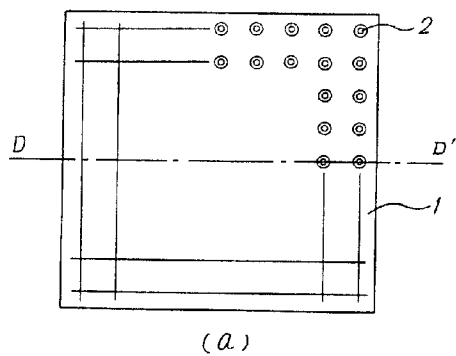
第 2 図



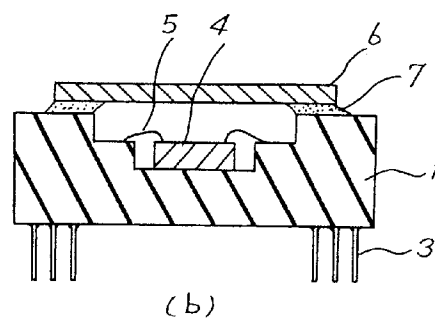
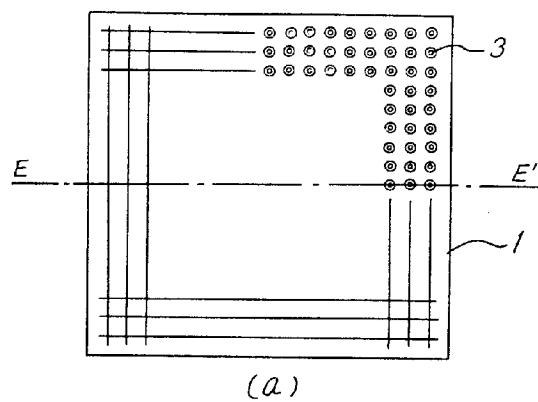
第 3 回



第 4 回



第 5 回



第 6 回